

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-204678

(43)Date of publication of application : 30.07.1999

(51)Int.Cl.

H01L 23/12

(21)Application number : 10-002318

(71)Applicant : MATSUSHITA ELECTRON CORP

(22)Date of filing : 08.01.1998

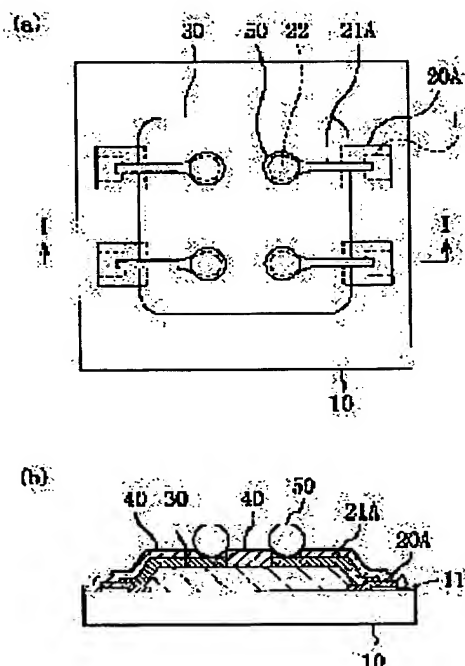
(72)Inventor : SAWARA RYUICHI  
NAKAMURA YOSHIFUMI  
SHIMOISHIZAKA NOZOMI  
KUMAGAWA TAKAHIRO

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURER OF THE SAME

### (57)Abstract

**PROBLEM TO BE SOLVED:** To alleviate stresses applied to an electrode with a first wiring and an insulating layer when a pressing force is applied to an external pressure terminal, by covering with an insulating layer a part of the first wiring provided by covering the electrode of a semiconductor chip.

**SOLUTION:** A first metal wiring 20a is provided in the horizontal direction to cover at least a part of an electrode 11 and toward the opposite side of the side adjacent to the electrode 11, namely toward the inside on a semiconductor chip 10. Next, an insulating layer 30 consisting of an insulator having low elasticity is provided to expose a first wiring 20a on the electrode 11 and to cover a part of the first wiring 20a and the main surface of the semiconductor chip 10. End part of the insulating layer 30 has a cross-sectional shape like a wedge sloping to the main surface of the semiconductor chip 10. A second wiring 21 consisting of metal is provided on at least a part of the first wiring 20a and insulating layer 30. Moreover, a land 22 which is connected to the second wiring 21 to function as an external terminal is made to be exposed to the flat area of the insulating layer 30.



## LEGAL STATUS

[Date of request for examination] 27.09.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3618212

[Date of registration] 19.11.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

## \* NOTICES \*

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CLAIMS

---

## [Claim(s)]

[Claim 1] The semiconductor chip with which the electrode has been arranged on a principal plane, and the 1st wiring connected to this electrode as covered said electrode, The insulating layer which carried out opening of the field where it is prepared on said principal plane, said a part of 1st wiring is covered, and said electrode is arranged, The semiconductor device characterized by having the 2nd wiring for connecting the external electrode terminal for being prepared on said insulating layer, and delivering and receiving a signal between external instruments, and said the 1st wiring and external electrode terminal.

[Claim 2] It is the semiconductor device characterized by preparing said 2nd wiring on said insulating layer in a semiconductor device according to claim 1.

[Claim 3] It is the semiconductor device which is further equipped with the through hole which arrives at a part of field which said 1st wiring was formed in the semiconductor device according to claim 1 so that it might extend in a longitudinal direction on a semiconductor chip, and was formed in said insulating layer, and extended in said longitudinal direction among said 1st wiring, and is characterized by forming said 2nd wiring so that said through hole may be buried.

[Claim 4] The semiconductor device characterized by the upper limit section of said 2nd wiring serving as said external electrode terminal in a semiconductor device according to claim 3.

[Claim 5] Said insulating layer is a semiconductor device characterized by having the ramp of the shape of rust which goes away until it results [ from the top face of said insulating layer ] in the principal plane of said semiconductor chip in the edge of the part which carried out opening of the field where said electrode is arranged in the semiconductor device of any one publication of claim 1-4.

[Claim 6] The semiconductor device characterized by having further the protective coat which has the property which crawls the conductive ingredient for carrying out opening of said external electrode terminal, being formed in the semiconductor device of any one publication of claim 1-5, and connecting electrically this external electrode terminal and the connection terminal of an external instrument.

[Claim 7] The semiconductor device characterized by having further the letter electrode of a projection prepared on said external electrode terminal in the semiconductor device of any one publication of claim 1-6.

[Claim 8] The process which forms the 1st wiring which covers said electrode and is connected to this electrode on the principal plane of the semiconductor chip which has an electrode, The process which forms the insulating layer which carried out opening of said electrode top so that said a part of 1st wiring might be covered, The process which forms the 2nd wiring which is connected to said 1st wiring and prolonged on said insulating layer, The manufacture approach of the semiconductor device characterized by having the process which forms the protective coat which has opening above the field which serves as an external electrode terminal among said 2nd wiring, and has the property which crawls the conductive ingredient for connecting electrically this external electrode terminal and the connection terminal of an external instrument.

[Claim 9] The process which forms the 1st wiring which covers said electrode and is prolonged in a longitudinal direction on the principal plane of the semiconductor chip which has an electrode, The process which forms the insulating layer which the through hole which arrives at a part of field which extended in said longitudinal direction among said 1st wiring was prepared, and carried out opening of said electrode, It has opening in the process which forms the 2nd wiring so that said through hole may be buried, and the upper part of the upper limit section which serves as an external electrode terminal among said 2nd wiring. The manufacture approach of the semiconductor device characterized by having the process which forms the protective coat which has the property which crawls the conductive ingredient for connecting electrically this external electrode terminal and the connection terminal of an external instrument.

[Claim 10] The manufacture approach of the semiconductor device characterized by having further the process which forms the letter electrode of a projection on said external electrode terminal in the manufacture approach of a semiconductor device according to claim 8 or 9.

[Claim 11] The process which forms said insulating layer in the manufacture approach of the semiconductor device any one publication of claim 8-10 is the manufacture approach of the semiconductor device characterized by performing exposure and etching one by one and forming said insulating layer after forming the insulator layer which has photosensitivity on a semiconductor chip.

[Claim 12] The process which forms said insulating layer in the manufacture approach of the semiconductor device any one publication of claim 8-10 is the manufacture approach of the semiconductor device characterized by

forming an insulator layer on a semiconductor chip, forming the resist film on this insulator layer, etching after carrying out patterning of this resist film and forming etching resist, and forming said insulating layer.

[Claim 13] The process which forms said insulating layer in the manufacture approach of the semiconductor device any one publication of claim 8-10 is the manufacture approach of the semiconductor device characterized by using laser or the plasma, carrying out patterning of said insulator layer, and forming said insulating layer after forming an insulator layer on a semiconductor chip.

---

[Translation done.]

## \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

## [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention is a semiconductor device which has semiconductor devices, such as a transistor, and relates to the semiconductor device which enables detailed-ization of wiring for connecting especially with an external instrument, and its manufacture approach.

[0002]

[Description of the Prior Art] In recent years, a miniaturization, densification, and improvement in the speed have come to be required from a semiconductor device with the miniaturization of electronic equipment, and advanced features. for this reason — for example, a package called muBGA (micro ball grid array) (Patent Publication Heisei No. 504408 [ 06 to ] official report) which LOC (lead-on chip), SON (small outline non lead), etc. were developed as a package for memory, or used the TAB tape is developed.

[0003] Hereafter, the semiconductor device called conventional CSP (chip-size package) using muBGA and its manufacture approach are explained, referring to drawing 3. Drawing 3 is the sectional view showing the conventional semiconductor device called muBGA. In drawing 3, the semiconductor chip with which 101 builds in semiconductor devices, such as a transistor, the wiring circuit sheet with which 102 was prepared on the semiconductor chip 101, the pliant low modulus-of-elasticity ingredient with which 103 intervenes between a semiconductor chip 101 and the wiring circuit sheet 102, the partial lead whose wiring circuit sheet 102 has 104, the electrode with which a semiconductor chip 101 has 105, and 106 are the electrodes of the wiring circuit sheet 102, and are an external electrode for connecting a semiconductor device and the exterior. As shown in drawing 3, the semiconductor device called muBGA has the structure where the wiring circuit sheet 102 was joined through the low modulus-of-elasticity ingredient 103 on the semiconductor chip 101, and the electrode 105 of a semiconductor chip 101 and the external electrode 106 of the wiring circuit sheet 102 are electrically connected through the partial lead 104.

[0004] Next, the manufacture approach of the conventional semiconductor device called muBGA is explained with reference to drawing 3. First, the wiring circuit sheet 102 which has the partial lead 104 installed from the external electrode 106 and this external electrode 106 on the semiconductor chip 101 is joined through the low elastic-modulus ingredient 103. This low elastic-modulus ingredient 103 is an insulating material, and has an adhesion function. Next, in case it connects electrically by the "TAB" (tape automated bonding) activity, the partial lead 104 and an electrode 105 are connected with the conventional thermocompression bonding technique or conventional ultrasonic-bonding technique usually used. The semiconductor device called muBGA was manufactured by the above approach.

[0005]

[Problem(s) to be Solved by the Invention] However, according to the above-mentioned conventional semiconductor device, since it is necessary to create the wiring circuit sheet 102 beforehand, a manufacture man day increases. Moreover, the wiring circuit sheet 102 was expensive, and since the highly efficient mounter (loading facility) was needed in order to connect the wiring circuit sheet 102 to a semiconductor chip 101, increase of ingredient cost and facility cost was not escaped. Moreover, since the width of face and thickness of the partial lead 104 became small and a configuration was not stabilized case [ especially in detailed wiring ] when an electrode 105 and the partial lead 104 which extended from the wiring circuit sheet 102 were connected, it had the fault that connection between the partial lead 104 and an electrode 105 became difficult.

[0006] This invention aims at offering the semiconductor device which enables detailed-izing of wiring and high-reliability-izing for connecting with an external instrument, and its manufacture approach, without forming the wiring circuit sheet 102 in view of the above-mentioned conventional technical problem.

[0007]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, in this invention, the means about the semiconductor device indicated by claims 1-7 and the means about the manufacture approach of the semiconductor device indicated by claims 8-13 are provided.

[0008] The semiconductor chip with which the electrode has been arranged on a principal plane as the 1st semiconductor device of this invention is indicated by claim 1. The 1st wiring connected to this electrode as covered the electrode, and the insulating layer which carried out opening of the field where it is prepared on a principal plane, a part of 1st wiring is covered, and the electrode is arranged. It has the 2nd wiring for connecting the external electrode terminal for being prepared on an insulating layer, and delivering and receiving a signal between

external instruments, and the 1st wiring and external electrode terminal.

[0009] Since a part of 1st wiring which covered the electrode of a semiconductor chip and was prepared is covered by the insulating layer by this, when thrust joins the external electrode terminal on an insulating layer, the stress which joins an electrode is eased by the 1st wiring and insulating layer, and the dependability of a semiconductor device improves. Moreover, since the stress which an external electrode terminal is formed minutely and joins an external electrode terminal after mounting of a semiconductor device by forming an external electrode terminal on an insulating layer is eased by the insulating layer, the dependability and packaging density of a semiconductor device improve.

[0010] Suppose that the 2nd wiring is prepared on an insulating layer in the semiconductor device of claim 1 as indicated by claim 2.

[0011] Since the 2nd wiring is prepared by this on the insulating layer prepared on the semiconductor chip, the semiconductor device with which the stress which joins the 2nd wiring by the insulating layer was eased, and dependability improved further, and wiring was made detailed is obtained.

[0012] It can have further the through hole which arrives at a part of field which the 1st wiring was formed in the semiconductor device of claim 1 so that it might extend in a longitudinal direction on a semiconductor chip, and was formed in the insulating layer, and extended in the longitudinal direction among the 1st wiring as indicated by claim 3, and suppose that the 2nd wiring is formed so that a through hole may be buried.

[0013] Since the 1st wiring and external electrode terminal are certainly connected by the 2nd wiring which the 1st wiring was minutely prepared on the semiconductor chip, and was prepared by this so that the through hole of an insulating layer might be buried, wiring is made detailed and the semiconductor device whose dependability improved further is obtained.

[0014] In the semiconductor device of claim 3, it is desirable that the upper limit section of the 2nd wiring serves as an external electrode terminal as indicated by claim 4.

[0015] Since the thrust applied to the external electrode terminal acts on the method of directly under from the 2nd wiring by this, the stress which joins an electrode is eased and the dependability of a semiconductor device improves.

[0016] As for an insulating layer, in any one semiconductor device of claims 1-4, it is desirable to have the ramp of the shape of rust which goes away until it results [ from the top face of an insulating layer ] in the principal plane of a semiconductor chip in the edge of the part which carried out opening of the field where the electrode is arranged as indicated by claim 5.

[0017] Since the 2nd wiring is prepared by this on the slant face of the ramp of the shape of a wedge which an insulating layer has, the semiconductor device whose dependability detailed-ization of wiring improved further, and the open circuit was prevented and improved further is obtained.

[0018] In any one semiconductor device of claims 1-5, it is desirable to have further the protective coat which has the property which crawls the conductive ingredient for carrying out opening of the external electrode terminal, being formed, and connecting electrically this external electrode terminal and the connection terminal of an external instrument as indicated by claim 6.

[0019] Thereby, since parts other than an external electrode terminal are covered with a protective coat, the open circuit and short circuit of wiring of those other than an external electrode terminal in back processes, such as connection between an external electrode terminal and the connection terminal of an external instrument, are prevented, and the dependability of a semiconductor device improves.

[0020] In any one semiconductor device of claims 1-6, it is desirable to have further the letter electrode of a projection prepared on the external electrode terminal as indicated by claim 7.

[0021] A signal can be delivered [ thereby, ] and received much more certainly through the letter electrode of a projection between a semiconductor device and an external instrument.

[0022] The manufacture approach of the 1st semiconductor device of this invention as indicated by claim 8 The process which forms the 1st wiring which covers an electrode and is connected to this electrode on the principal plane of the semiconductor chip which has an electrode. The process which forms the insulating layer which carried out opening of the electrode top so that a part of 1st wiring might be covered. The process which forms the 2nd wiring which is connected to the 1st wiring and prolonged on an insulating layer. It has the process which forms the protective coat which has opening above the field which serves as an external electrode terminal among the 2nd wiring, and has the property which crawls the conductive ingredient for connecting electrically this external electrode terminal and the connection terminal of an external instrument.

[0023] Since according to this approach a part of 1st wiring which covered the electrode of a semiconductor chip is covered and an insulating layer is formed, when thrust joins the external electrode terminal on an insulating layer, the semiconductor device whose dependability the stress which joins an electrode was eased by the 1st wiring and insulating layer, and improved can be manufactured. Moreover, since the 2nd wiring and external electrode terminal can be minutely formed on an insulating layer, the semiconductor device whose packaging density wiring made it detailed and improved can be manufactured.

[0024] The manufacture approach of the 2nd semiconductor device of this invention as indicated by claim 9 The process which forms the 1st wiring which covers an electrode and is prolonged in a longitudinal direction on the principal plane of the semiconductor chip which has an electrode. The process which forms the insulating layer which the through hole which arrives at a part of field which extended in the longitudinal direction among the 1st wiring was prepared, and carried out opening of the electrode. It has the process which forms the protective coat

which has opening in the process which forms the 2nd wiring, and the upper part of the upper limit section which serves as an external electrode terminal among the 2nd wiring so that a through hole may be buried, and has the property which crawls the conductive ingredient for connecting electrically this external electrode terminal and the connection terminal of an external instrument.

[0025] Since according to this approach a part of 1st wiring which covered the electrode of a semiconductor chip is covered and an insulating layer is formed, when thrust joins the external electrode terminal on an insulating layer, the stress which joins an electrode is eased by the 1st wiring and insulating layer. Moreover, by forming the 2nd wiring in a through hole and using the upper limit section as an external electrode terminal, since the thrust applied to the external electrode terminal acts on the method of directly under from the 2nd wiring, the stress which joins an electrode is eased, and an external electrode terminal and the 1st wiring are connected certainly. Therefore, the semiconductor device whose dependability improved can be manufactured. Furthermore, the semiconductor device whose packaging density wiring made them detailed to it since the 2nd wiring and external electrode terminal were minutely formed in the through hole, and improved the 1st wiring on the semiconductor chip, respectively can be manufactured.

[0026] In claim 8 or the manufacture approach of 9, it is desirable to have further the process which forms the letter electrode of a projection on an external electrode terminal as indicated by claim 10.

[0027] According to this approach, the semiconductor device a signal can be delivered and received much more certainly through the letter electrode of a projection between a semiconductor device and an external instrument can be manufactured.

[0028] After the process which forms an insulating layer forms the insulator layer which has photosensitivity on a semiconductor chip, in the manufacture approach of any one semiconductor device of claims 8-10, it is good also as performing exposure and etching one by one and carrying out them, as indicated by claim 11.

[0029] According to this approach, it can etch, after exposing directly the insulator layer which has photosensitivity, and an insulating layer can be formed.

[0030] In the manufacture approach of any one semiconductor device of claims 8-10, the process which forms an insulating layer is good also as etching, after forming an insulator layer on a semiconductor chip, forming the resist film on this insulator layer, carrying out patterning of this resist film and forming etching resist, and forming an insulating layer as indicated by claim 12.

[0031] According to this approach, an insulating layer can be formed using the etching resist formed on the insulator layer.

[0032] After the process which forms an insulating layer forms an insulator layer on a semiconductor chip, in the manufacture approach of any one semiconductor device of claims 8-10, it is good also as using laser or the plasma, carrying out patterning of the insulator layer, and forming an insulating layer, as indicated by claim 13.

[0033] According to this approach, direct patterning of the insulator layer can be carried out, and an insulating layer can be formed.

[0034]

[Embodiment of the Invention] (1st operation gestalt) The 1st operation gestalt of this invention is explained hereafter, referring to drawing 1. Drawing 1 (a) is the top view showing the condition that there is no solder resist of the semiconductor device concerning this operation gestalt, and drawing 1 (b) is a sectional view in the I-I line which shows the condition that there is a solder resist of drawing 1 (a). In drawing 1 (a) and (b), 10 is the semiconductor chip of the shape of a square which builds in the semiconductor integrated circuit which some semiconductor wafers which consist of silicon are divided, and becomes, and consists of semiconductor devices, such as a transistor. In the principal plane of a semiconductor chip 10, two or more electrodes 11 are arranged near the side section.

[0035] 1st wiring 20A which becomes a longitudinal direction from a metal toward the inside on the opposite side 10 of the side section where each electrode 11 approaches, i.e., a semiconductor chip, is prepared so that some each electrode [ at least ] 11 may be covered. 1st wiring 20A on an electrode 11 is exposed at least — making — and — this — a part of 1st wiring 20A and the principal plane of a semiconductor chip 10 — a wrap — the insulating layer 30 which consists of an insulating material which has a low elastic modulus like is formed. The edge of an insulating layer 30 has the cross-section configuration of the shape of an inclined wedge to the principal plane of the semiconductor chip 10 with which 1st wiring 20A was prepared. And on a part of 1st wiring 20A [ at least ] and an insulating layer 30, the 2nd wiring 21 which consists of a metal is formed. That is, it goes over the 2nd wiring 21 on the slant face of the cross-section configuration of the shape of a wedge which the edge of an insulating layer 30 has, and it is formed on the flat part of an insulating layer 30.

[0036] The land 22 which is formed on the flat part of an insulating layer 30, and leads to the 2nd wiring 21 is exposed, and the solder resist 40 is formed. A land 22 functions as an external electrode terminal for outputting and inputting a signal between a semiconductor chip 10 and an external instrument. And on the land 22, the metal ball 50 which is a letter electrode of a projection is formed. That is, it has the structure where the metal ball 50 was joined to the land 22 exposed to opening of a solder resist 40.

[0037] As explained above, according to the semiconductor device of this operation gestalt, the land 22 formed on the insulating layer 30 which has a low elastic modulus is connected to the electrode 11 through the 2nd wiring 21 formed over the flat part [ of an insulating layer 30 ], slant-face, and principal plane top of a semiconductor chip 10, and 1st wiring 20A formed on this principal plane. Therefore, since 1st wiring 20A can be minutely formed on the slant face of an insulating layer 30 as compared with the semiconductor device using the partial lead of the

conventional wiring circuit sheet, the semiconductor device with a cheap manufacturing cost which fits micro processing of wiring and can respond to many pin-ization is realized.

[0038] Moreover, the semiconductor device of this operation gestalt is formed on the insulating layer 30 in which the 2nd wiring 21 and land 22 have a low elastic modulus. Therefore, since the thermal stress with which the thermal stress produced between a semiconductor device and a substrate is absorbed by the insulating layer 30, and is impressed to the metal ball 50 as a result after mounting a semiconductor device in the substrate of an external instrument is eased, the semiconductor device which has high dependability is realized.

[0039] Moreover, since a part of 1st wiring 20A connected to the electrode 11 is covered and an insulating layer 30 is formed, when thrust joins the external electrode terminal on an insulating layer, the stress impressed to an electrode 11 is eased by 1st wiring 20A and the insulating layer 30, and the semiconductor device which has high dependability also from this point is realized.

[0040] The manufacture approach of the semiconductor device concerning this operation gestalt is explained referring to drawing 1 (a) and (b).

[0041] First, a metal layer is formed with vacuum evaporation or nonelectrolytic plating on the principal plane of the semiconductor chip 10 which has an electrode 11.

[0042] Next, as a resist is applied on a metal layer, and an electrode 11 is covered and it extends to the inside in the principal plane of a semiconductor chip 10, a resist is etched after carrying out patterning. That is, as an electrode 11 is covered and it extends to the inside in the principal plane of a semiconductor chip 10, 1st wiring 20A which consists of a metal is formed.

[0043] Next, after applying the photosensitive ingredient which has insulation and low elasticity over the whole surface of the principal plane of a semiconductor chip 10 in which 1st wiring 20A was formed, desiccation, exposure, and development are performed one by one. The insulating layer 30 which carried out opening of the 1st wiring 20A on an electrode 11 at least by this is formed. In this case, it sets, for example, the scattered light is used by exposure, and to 1st wiring 20A, it is not perpendicular, and the cross-section configuration of the insulating layer 30 in opening is made into the shape of a taper, and is formed. As a photosensitive ingredient for forming an insulating layer 30, what is necessary is just the polymer which has the insulation of polyimide, epoxy, etc., for example.

[0044] Next, on the whole surface of the principal plane of a semiconductor chip 10, a metal thin film layer is formed with a nonelectrolytic plating method, a vacuum deposition method, the sputtering method, or a CVD method. For example, the metal thin film layer which consists of Cu using a nonelectrolytic plating method is formed.

[0045] Next, after applying a photosensitive resist over the whole surface of the principal plane of a semiconductor chip 10 in which the metal thin film layer was formed and stiffening resists other than the predetermined pattern section by exposure, the resist of this pattern section is removed.

[0046] Next, non-electrolyzed nickel plating and non-electrolyzed Au plating are performed one by one to the metal layer which used electrolysis plating, formed the metal layer which has the large thickness which becomes said pattern section from Cu, fused and removed the resist and was formed after that.

[0047] Next, the 2nd wiring 21 and land 22 which have a predetermined pattern are formed in coincidence by leaving the metal layer which is immersed in an etching reagent, and melts the part which consists only of a metal thin film layer, and has large thickness.

[0048] In addition, the 2nd wiring 21 and land 22 may be formed in coincidence by making a metal membrane deposit over the whole surface of the principal plane of a semiconductor chip 10, applying a resist on it, forming the resist for etching masks on the predetermined pattern section using a well-known photolithography technique, and etching a metal layer by using this resist as a mask.

[0049] Next, after applying a photosensitive solder resist over the whole surface of the principal plane of a semiconductor chip 10 in which 1st wiring 20A, an insulating layer 30, the 2nd wiring 21, and a land 22 were formed, a photolithography technique is used, a land 22 is exposed at least, and a solder resist 40 is formed. 1st wiring 20A which is wiring of those other than land 22, and the 2nd wiring 21 are protected from the pewter fused in the back process by the solder resist 40.

[0050] Next, after laying the metal ball 50 which consists of a pewter, Cu, nickel, etc. or consists of a metal by which pewter plating was carried out on a land 22, fused junction of the metal ball 50 and the land 22 is carried out. According to the above process, the semiconductor device concerning this operation gestalt can be obtained.

[0051] According to the manufacture approach of the semiconductor device of this operation gestalt, in the principal plane of a semiconductor chip 10, the cross-section configuration of the insulating layer 30 of the part which carried out opening of the electrode 11 is formed in the shape of a taper. The structure which is easy to form the 2nd wiring 21 minutely over the slant-face top of an insulating layer 30, and the 2nd wiring 21 cannot disconnect easily due to this can be constituted.

[0052] (2nd operation gestalt) The 2nd operation gestalt of this invention is explained hereafter, referring to drawing 2. Drawing 2 (a) is the top view showing the condition that there is no solder resist of the semiconductor device concerning this operation gestalt, and drawing 2 (b) is a sectional view in the II-II line which shows the condition that there is a solder resist of drawing 2 (a). In drawing 2 (a) and (b), the same sign as the sign in drawing 1 (a) and (b) is given to the same component as the 1st operation gestalt, and the explanation is omitted suitably.

[0053] In this operation gestalt, as it extends to the inside further, 1st wiring 20B which consists of a metal is prepared, so that some each electrode [ at least ] 11 may be covered, and rather than it can set in the 1st operation gestalt toward the opposite side of the side section where each electrode 11 approaches, i.e., the inside of



a semiconductor chip 10. And on the semiconductor chip 10, the insulating layer 30 which consists of an insulating material which has insulation and a low elastic modulus is formed so that it may cover inside the field where 1st wiring 20B on an electrode 11 was exposed, and 1st wiring 20B was exposed. That is, the edge of 1st wiring 20B prolonged to the inside of a semiconductor chip 10 is established in the bottom of the flat part which an insulating layer 30 has. And the through hole which reaches 1st wiring 20B is formed in the insulating layer 30 on the edge of 1st wiring 20B, the conductor which becomes this through hole from Ag paste, Cu paste, etc. by print processes is embedded, and 2nd wiring 21B is formed.

[0054] In the flat part of an insulating layer 30, the upper limit section which 2nd wiring 21B has exposed constitutes a land 22. Moreover, a land 22 is exposed and the solder resist 40 is formed so that the whole principal plane of a semiconductor chip 10 may be covered. A land 22 functions as an external electrode terminal for outputting and inputting a signal between a semiconductor chip 10 and an external instrument. That is, the land 22 and 1st wiring 20B which are an external electrode terminal are connected by 2nd wiring 21B.

[0055] On the land 22, the metal ball 50 which is a letter electrode of a projection is formed. That is, it has the structure where the metal ball 50 was joined to the land 22 exposed to opening of a solder resist 40.

[0056] As explained above, according to the semiconductor device of this operation gestalt, the upper limit section of 2nd wiring 21B prepared in the through hole of the insulating layer 30 which has a low elastic modulus constitutes a land 22, and the metal ball 50 is formed on a land 22. 2nd wiring 21B is connected to the electrode 11 of a semiconductor chip 10 through 1st wiring 20B prepared in the bottom of an insulating layer 30. Therefore, since 1st wiring 20B can be minutely formed on a semiconductor chip 10 as compared with the semiconductor device using the partial lead of the conventional wiring circuit sheet, the semiconductor device with a cheap manufacturing cost which fits micro processing of wiring and can respond to many pin-ization is realized.

[0057] Moreover, since the thermal stress with which the thermal stress produced between a semiconductor device and a substrate is absorbed by the insulating layer 30, and is impressed to the metal ball 50 as a result after mounting a semiconductor device in the substrate of an external instrument is eased, the semiconductor device which has high dependability is realized.

[0058] Moreover, since a part of 1st wiring 20B connected to the electrode 11 is covered and an insulating layer 30 is formed, when thrust joins the external electrode terminal on an insulating layer, the stress impressed to an electrode 11 is eased by 1st wiring 20B and the insulating layer 30, and the semiconductor device which has high dependability is realized.

[0059] Moreover, since the stress with which the thrust applied to the external electrode terminal by using the upper limit section of the 2nd wiring as an external electrode terminal acts on the method of directly under from the 2nd wiring, and joins an electrode is eased, the semiconductor device which has high dependability also from this point is realized.

[0060] Moreover, since the precision of the dimension in the edge of an insulating layer 30 or a configuration can be eased by forming 1st wiring 20B in the bottom of an insulating layer 30, the manufacture yield of a semiconductor device can be improved.

[0061] The manufacture approach of the semiconductor device concerning this operation gestalt is explained referring to drawing 2 (a) and (b).

[0062] First, 1st wiring 20B which consists of a metal is formed by the same approach as the 1st operation gestalt. In this case, as it extends to the inside of a semiconductor chip 10 further, 1st wiring 20B is formed rather than it can set in the 1st operation gestalt.

[0063] Next, after applying the photosensitive ingredient which has insulation and low elasticity over the whole surface of the principal plane of a semiconductor chip 10 in which 1st wiring 20B was formed, desiccation, exposure, and development are performed one by one, and an insulating layer 30 is formed. In case an insulating layer 30 is formed, a through hole is formed so that opening of the part on the electrode 11 of 1st wiring 20B may be carried out and it may arrive at the edge of 1st wiring 20B under an insulating layer 30. Like the 1st operation gestalt, to 1st wiring 20B, the cross-section configuration of the insulating layer 30 in opening is made into the shape of a taper, and is formed. As a photosensitive ingredient for forming an insulating layer 30, what is necessary is just the polymer which has the insulation of polyimide, epoxy, etc., for example.

[0064] Next, after applying a photosensitive resist over the whole surface of the principal plane of a semiconductor chip 10 in which the metal thin film layer which consists of Cu on the whole surface of the principal plane of a semiconductor chip 10 was formed in by the respectively same approach as the 1st operation gestalt, and this metal thin film layer was formed and stiffening resists other than on the through hole in an insulating layer 30 by exposure, the resist on a through hole is removed. That is, in the through hole of an insulating layer 30, a resist is not made to remain but it changes into the condition of having exposed the formed metal thin film layer.

[0065] Next, by the respectively same approach as the 1st operation gestalt, the metal layer which has the large thickness which consists of Cu is formed on the exposed metal thin film layer in a through hole, a resist is fused and removed, and non-electrolyzed nickel plating and non-electrolyzed Au plating are performed one by one after that. By this, a metal layer is formed so that a through hole may be buried, and nonelectrolytic plating of nickel and the Au is carried out one by one also to the upper limit side of the metal layer exposed in the insulating layer 30.

[0066] Next, 2nd wiring 21B which becomes a through hole in an insulating layer 30 from a metal layer is formed by being immersed in an etching reagent, melting the part which consists only of a metal thin film layer, and leaving the metal layer which has large thickness. Therefore, 2nd wiring 21B is connectable with an electrode 11 through 1st wiring 20B. The outcrop of 2nd wiring 21B in the front face of an insulating layer 30, i.e., the upper limit section of



2nd wiring 21B, functions as a land 22.

[0067] Next, by the same approach as the 1st operation gestalt, a land 22 is exposed at least and a solder resist 40 is formed. It is protected from the pewter which 1st wiring 20B which is wiring of those other than land 22 fused in the back process by the solder resist 40.

[0068] Next, after laying the metal ball 50 on a land 22, fused junction of the metal ball 50 and the land 22 is carried out. According to the above process, the semiconductor device concerning this operation gestalt can be obtained.

[0069] According to the manufacture approach of the semiconductor device of this operation gestalt, since 1st wiring 20B is formed on a semiconductor chip 10, the semiconductor device which has the structure which is suitable for micro processing of wiring, and is hard to disconnect can be manufactured.

[0070] Moreover, since the quality control of the dimension in the edge of an insulating layer 30 or a configuration aiming at open-circuit prevention of wiring can be eased by forming 1st wiring 20B in the bottom of an insulating layer 30, a semiconductor device can be manufactured by the high manufacture yield.

[0071] In addition, in each operation gestalt explained above, in order to form an insulating layer 30, the photosensitive ingredient which has insulation and low elasticity was applied. Not only this but the insulating material which was beforehand formed in the shape of a film, respectively and which has low elasticity and photosensitivity may be used. In this case, after sticking the insulating material of the shape of a film which has low elasticity and photosensitivity on the principal plane of a semiconductor chip 10, negatives are exposed and developed and the 1st wiring 20A and 20B is exposed.

[0072] Moreover, the cross-section configuration in opening of an insulating layer 30 was formed in the shape of a taper using the scattered light. It may replace with this, may expose using parallel light, it may carry out controlling the temperature profile in heat treatment after development etc., and the cross-section configuration in opening of an insulating layer 30 may be formed in the shape of a taper.

[0073] Moreover, an insulating material without photosensitivity can also be used. In this case, direct patterning of the insulating material without the photosensitivity formed in the principal plane of a semiconductor chip 10 is carried out by mechanical processing of laser, the plasma, etc. Or etching resist is formed on an insulating material without the photosensitivity formed in the principal plane of a semiconductor chip 10, and after carrying out patterning of this etching resist, chemical processing of etching etc. is performed. By these approaches, the 1st wiring 20A and 20B is exposed.

[0074] Furthermore, although the electrode 11 was formed in the outside on the principal plane of a semiconductor chip 10 and the land 22 and the metal ball 50 were formed in the inside insulating layer 30, respectively, it replaces with this and an electrode 11 is formed, the inside, for example, near a center section, opening of the electrode 11 may be carried out, an insulating layer 30 may be formed, and a through hole, a land 22, and the metal ball 50 may be formed in the outside insulating layer 30. [ on the principal plane of a semiconductor chip 10 ]

[0075]

[Effect of the Invention] Since the stress which joins an electrode through the 2nd wiring is eased by the 1st wiring and insulating layer, and joins an external electrode terminal after mounting is eased by the insulating layer according to invention of claims 1-7, the dependability of a semiconductor device improves.

Moreover, since an external electrode terminal is minutely formed on an insulating layer, detailed wiring is attained.

[0076] According to invention of claims 8-13, the structure of claims 1-7 is easily realizable.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] (a) is the top view showing the condition that there is no solder resist of the semiconductor device concerning the 1st operation gestalt of this invention, and (b) is a sectional view in the I-I line which shows the condition that there is a solder resist of (a).

[Drawing 2] (a) is the top view showing the condition that there is no solder resist of the semiconductor device concerning the 2nd operation gestalt of this invention, and (b) is a sectional view in the II-II line which shows the condition that there is a solder resist of (a).

[Drawing 3] It is the sectional view showing the conventional semiconductor device.

[Description of Notations]

10 Semiconductor Chip

11 Electrode

20A, 20B 1st wiring

21A, 21B 2nd wiring

22 Land (External Electrode Terminal)

30 Insulating Layer

40 Solder Resist (Protective Coat)

50 Metal Ball

---

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-204678

(43)公開日 平成11年(1999) 7月30日

(51)Int.Cl.<sup>6</sup>

H 0 1 L 23/12

識別記号

F I

H 0 1 L 23/12

L

Q

審査請求 未請求 請求項の数13 O L (全 8 頁)

(21)出願番号 特願平10-2318

(22)出願日 平成10年(1998) 1月 8 日

(71)出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72)発明者 佐原 隆一

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72)発明者 中村 嘉文

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72)発明者 下石坂 望

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(74)代理人 弁理士 前田 弘 (外2名)

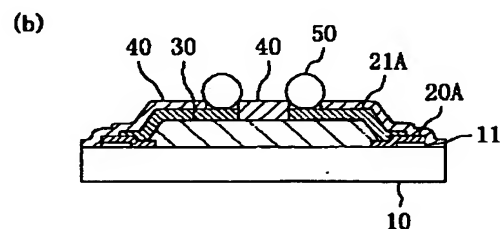
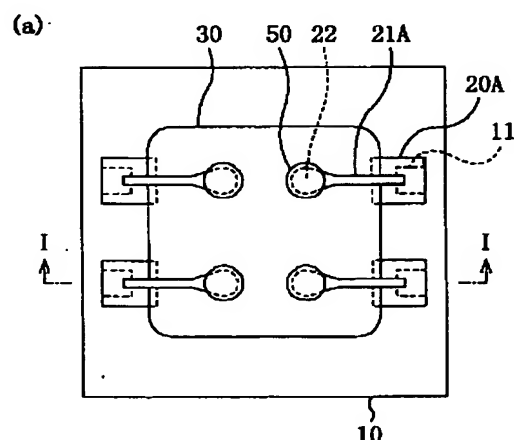
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 半導体チップと外部機器とを接続するための配線を微細化し、信頼性を向上できる半導体装置及びその製造方法を提供する。

【解決手段】 半導体チップ10の電極11に接続された第1の配線20Aと、第1の配線20Aの一部を覆い、かつ電極11が配置された領域を開口するように設けられた低弾性を有する絶縁層30と、絶縁層30上にわたって設けられ第1の配線20Aに接続された第2の配線21と、絶縁層30上に設けられ第2の配線21につながるランド22と、ランド22を開口して設けられたソルダーレジスト40と、ランド22上に設けられた金属ボール50とを備え、絶縁層30は開口部においてくさび状の断面形状を有する。



(2)

1

【特許請求の範囲】

【請求項1】 主面上に電極が配置された半導体チップと、

前記電極を被覆するようにして該電極に接続された第1の配線と、

前記主面上に設けられ前記第1の配線の一部を被覆して前記電極が配置されている領域を開口した絶縁層と、前記絶縁層の上に設けられ外部機器との間で信号を授受するための外部電極端子と、

前記第1の配線と外部電極端子とを接続するための第2の配線とを備えたことを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記第2の配線は前記絶縁層の上に設けられていることを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置において、前記第1の配線は半導体チップ上で横方向に延びるように形成され、

前記絶縁層に形成され前記第1の配線のうち前記横方向に延びた領域の一部に到達する貫通穴を更に備え、

前記第2の配線は前記貫通穴を埋めるように形成されていることを特徴とする半導体装置。

【請求項4】 請求項3記載の半導体装置において、前記第2の配線の上端部が前記外部電極端子となっていることを特徴とする半導体装置。

【請求項5】 請求項1～4のいずれか1つに記載の半導体装置において、

前記絶縁層は前記電極が配置されている領域を開口した部分の端部において前記絶縁層の上面から前記半導体チップの主面に至るまでのくさび状の傾斜部を有することを特徴とする半導体装置。

【請求項6】 請求項1～5のいずれか1つに記載の半導体装置において、

前記外部電極端子を開口して形成され、該外部電極端子と外部機器の接続端子とを電気的に接続するための導電性材料をはじく性質を有する保護膜を更に備えたことを特徴とする半導体装置。

【請求項7】 請求項1～6のいずれか1つに記載の半導体装置において、

前記外部電極端子上に設けられた突起状電極を更に備えたことを特徴とする半導体装置。

【請求項8】 電極を有する半導体チップの主面上に、前記電極を被覆して該電極に接続される第1の配線を形成する工程と、

前記第1の配線の一部を被覆するように前記電極の上を開口した絶縁層を形成する工程と、

前記第1の配線に接続され前記絶縁層上に延びる第2の配線を形成する工程と、

前記第2の配線のうち外部電極端子となる領域の上方に開口を有し、該外部電極端子と外部機器の接続端子とを電気的に接続するための導電性材料をはじく性質を有す

2

る保護膜を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項9】 電極を有する半導体チップの主面上に、前記電極を被覆して横方向に延びる第1の配線を形成する工程と、

前記第1の配線のうち前記横方向に延びた領域の一部に到達する貫通穴が設けられ、かつ前記電極を開口した絶縁層を形成する工程と、

前記貫通穴が埋められるように第2の配線を形成する工程と、

前記第2の配線のうち外部電極端子となる上端部の上方に開口を有し、該外部電極端子と外部機器の接続端子とを電気的に接続するための導電性材料をはじく性質を有する保護膜を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項10】 請求項8又は9記載の半導体装置の製造方法において、

前記外部電極端子上に突起状電極を形成する工程を更に備えたことを特徴とする半導体装置の製造方法。

【請求項11】 請求項8～10のいずれか1つに記載の半導体装置の製造方法において、

前記絶縁層を形成する工程は、半導体チップ上に感光性を有する絶縁膜を形成した後に、露光とエッチングとを順次行って前記絶縁層を形成することを特徴とする半導体装置の製造方法。

【請求項12】 請求項8～10のいずれか1つに記載の半導体装置の製造方法において、

前記絶縁層を形成する工程は、半導体チップ上に絶縁膜を形成し、該絶縁膜の上にレジスト膜を形成し、該レジスト膜をパターニングしてエッチングレジストを形成した後にエッチングを行って前記絶縁層を形成することを特徴とする半導体装置の製造方法。

【請求項13】 請求項8～10のいずれか1つに記載の半導体装置の製造方法において、

前記絶縁層を形成する工程は、半導体チップ上に絶縁膜を形成した後に、レーザー又はプラズマを用いて前記絶縁膜をパターニングして前記絶縁層を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、トランジスタ等の半導体素子を有する半導体装置であって、特に外部機器と接続するための配線の微細化を可能にする半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】近年、電子機器の小型化、高機能化に伴い、半導体装置に対して小型化、高密度化、高速化が要求されるようになってきた。このため、例えば、メモリー用パッケージとしてはLOC（リード・オン・チップ）やSON（スモール・アウトライン・ノンリード）

(3)

3

等が開発され、あるいはTABテープを利用した $\mu$ BGA（マイクロ・ボール・グリッド・アレイ）（特表平06-504408号公報）といったパッケージが開発されている。

【0003】以下、 $\mu$ BGAを用いた従来のCSP（チップ・サイズ・パッケージ）と呼ばれる半導体装置及びその製造方法について、図3を参照しながら説明する。図3は、 $\mu$ BGAと呼ばれる従来の半導体装置を示す断面図である。図3において、101はトランジスタ等の半導体素子を内蔵する半導体チップ、102は半導体チップ101上に設けられた配線回路シート、103は半導体チップ101と配線回路シート102との間に介在するしなやかな低弾性率材料、104は配線回路シート102が有する部分リード、105は半導体チップ101が有する電極、106は配線回路シート102の電極であって半導体装置と外部とを接続するための外部電極である。図3に示すように、 $\mu$ BGAと呼ばれる半導体装置は、半導体チップ101上に低弾性率材料103を介して配線回路シート102が接合された構造を有し、半導体チップ101の電極105と配線回路シート102の外部電極106とが、部分リード104を介して電氣的に接続されたものである。

【0004】次に、 $\mu$ BGAと呼ばれる従来の半導体装置の製造方法を図3を参照して説明する。まず、半導体チップ101上に、外部電極106と該外部電極106から延設された部分リード104とを有する配線回路シート102を、低弾性率材料103を介して接合する。該低弾性率材料103は絶縁材料であって、接着機能を有する。次に、「TAB」（テープ・オートメテッド・ボンディング）作業で電氣的に接続する際に通常用いられる従来の熱圧着技術又は超音波ボンディング技術によって、部分リード104と電極105とを接続する。以上の方法によって、 $\mu$ BGAと呼ばれる半導体装置を製造していた。

【0005】

【発明が解決しようとする課題】しかしながら、上記従来の半導体装置によれば、予め配線回路シート102を作成する必要があるので製造工数が増大する。また、配線回路シート102は高価であり、半導体チップ101に配線回路シート102を接続するためには高性能なマウンタ（搭載設備）が必要となるので、材料コスト及び設備コストの増大を免れなかった。また、電極105と配線回路シート102から延在した部分リード104とを接続する場合、特に微細配線における場合には、部分リード104の幅や厚みが小さくなって形状が安定しないので、部分リード104と電極105との接続が困難となるという欠点を有していた。

【0006】本発明は、上記従来の課題に鑑み、配線回路シート102を設けることなく、外部機器と接続するための配線の微細化と、高信頼性化とを可能にする半導

4

体装置及びその製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】上記の目的を達成するために、本発明では、請求項1～7に記載された半導体装置に関する手段と、請求項8～13に記載された半導体装置の製造方法に関する手段とを講じている。

【0008】本発明の第1の半導体装置は、請求項1に記載されているように、主面上に電極が配置された半導体チップと、電極を被覆するようにして該電極に接続された第1の配線と、主面上に設けられ第1の配線の一部を被覆して電極が配置されている領域を開口した絶縁層と、絶縁層の上に設けられ外部機器との間で信号を受受するための外部電極端子と、第1の配線と外部電極端子とを接続するための第2の配線とを備えている。

【0009】これにより、半導体チップの電極を被覆して設けられた第1の配線の一部が絶縁層に被覆されるので、絶縁層の上にある外部電極端子に押圧力が加わった場合等において、電極に加わる応力が第1の配線と絶縁層により緩和されて半導体装置の信頼性が向上する。また、絶縁層上に外部電極端子が形成されることによって、外部電極端子が微細に形成され、かつ半導体装置の実装後に外部電極端子に加わる応力が絶縁層により緩和されるので、半導体装置の信頼性と実装密度とが向上する。

【0010】請求項2に記載されているように、請求項1の半導体装置において、第2の配線は絶縁層上に設けられているとすることができる。

【0011】これにより、半導体チップ上に設けられた絶縁層の上に第2の配線が設けられるので、絶縁層によって第2の配線に加わる応力が緩和されて信頼性が更に向上し、かつ配線が微細化された半導体装置が得られる。

【0012】請求項3に記載されているように、請求項1の半導体装置において、第1の配線は半導体チップ上で横方向に延びるように形成され、絶縁層に形成され第1の配線のうち横方向に延びた領域の一部に到達する貫通穴を更に備え、第2の配線は貫通穴を埋めるように形成されているとすることができる。

【0013】これにより、半導体チップ上に第1の配線が微細に設けられ、絶縁層の貫通穴を埋めるように設けられた第2の配線によって第1の配線と外部電極端子とが確実に接続されるので、配線が微細化され、信頼性が更に向上した半導体装置が得られる。

【0014】請求項4に記載されているように、請求項3の半導体装置において、第2の配線の上端部が外部電極端子となっていることが好ましい。

【0015】これにより、外部電極端子に加えられた押圧力が第2の配線から直下方に作用するので、電極に加わる応力が緩和されて半導体装置の信頼性が向上する。

【0016】請求項5に記載されているように、請求項

(4)

5

1～4のいずれか1つの半導体装置において、絶縁層は電極が配置されている領域を開口した部分の端部において絶縁層の上面から半導体チップの主面に至るまでのくさび状の傾斜部を有することが好ましい。

【0017】これにより、絶縁層が有するくさび状の傾斜部の斜面上に第2の配線が設けられるので、配線の微細化が更に向上し、かつその断線が防止されて信頼性が更に向上した半導体装置が得られる。

【0018】請求項6に記載されているように、請求項1～5のいずれか1つの半導体装置において、外部電極端子を開口して形成され、該外部電極端子と外部機器の接続端子とを電気的に接続するための導電性材料をはじく性質を有する保護膜を更に備えることが好ましい。

【0019】これにより、外部電極端子以外の部分が保護膜により覆われるので、外部電極端子と外部機器の接続端子との接続等の後工程における、外部電極端子以外の配線の断線や短絡が防止されて、半導体装置の信頼性が向上する。

【0020】請求項7に記載されているように、請求項1～6のいずれか1つの半導体装置において、外部電極端子の上に設けられた突起状電極を更に備えることが好ましい。

【0021】これにより、半導体装置と外部機器との間で、突起状電極を介していっそう確実に信号を授受することができる。

【0022】本発明の第1の半導体装置の製造方法は、請求項8に記載されているように、電極を有する半導体チップの主面上に、電極を被覆して該電極に接続される第1の配線を形成する工程と、第1の配線の一部を被覆するように電極の上を開口した絶縁層を形成する工程と、第1の配線に接続され絶縁層上に延びる第2の配線を形成する工程と、第2の配線のうち外部電極端子となる領域の上方に開口を有し、該外部電極端子と外部機器の接続端子とを電気的に接続するための導電性材料をはじく性質を有する保護膜を形成する工程とを備えている。

【0023】この方法によれば、半導体チップの電極を被覆した第1の配線の一部を被覆して絶縁層を形成するので、絶縁層の上にある外部電極端子に押圧力が加わった場合等において、電極に加わる応力が第1の配線と絶縁層とにより緩和されて信頼性が向上した半導体装置を製造できる。また、絶縁層の上に第2の配線と外部電極端子とを微細に形成できるので、配線が微細化し実装密度が向上した半導体装置を製造できる。

【0024】本発明の第2の半導体装置の製造方法は、請求項9に記載されているように、電極を有する半導体チップの主面上に、電極を被覆して横方向に延びる第1の配線を形成する工程と、第1の配線のうち横方向に延びた領域の一部に到達する貫通穴が設けられ、かつ電極を開口した絶縁層を形成する工程と、貫通穴が埋められ

6

るように第2の配線を形成する工程と、第2の配線のうち外部電極端子となる上端部の上方に開口を有し、該外部電極端子と外部機器の接続端子とを電気的に接続するための導電性材料をはじく性質を有する保護膜を形成する工程とを備えている。

【0025】この方法によれば、半導体チップの電極を被覆した第1の配線の一部を被覆して絶縁層を形成するので、絶縁層の上にある外部電極端子に押圧力が加わった場合等において、電極に加わる応力が第1の配線と絶縁層とにより緩和される。また、貫通穴に第2の配線を形成してその上端部を外部電極端子とすることにより、外部電極端子に加えられた押圧力が第2の配線から直下方に作用するので電極に加わる応力が緩和され、かつ、外部電極端子と第1の配線とが確実に接続される。したがって、信頼性が向上した半導体装置を製造できる。更に、それぞれ、半導体チップ上に第1の配線を、貫通穴に第2の配線と外部電極端子とを微細に形成できるので、配線が微細化し実装密度が向上した半導体装置を製造できる。

【0026】請求項10に記載されているように、請求項8又は9の製造方法において、外部電極端子上に突起状電極を形成する工程を更に備えることが好ましい。

【0027】この方法によれば、半導体装置と外部機器との間で、突起状電極を介していっそう確実に信号を授受できる半導体装置を製造することができる。

【0028】請求項11に記載されているように、請求項8～10のいずれか1つの半導体装置の製造方法において、絶縁層を形成する工程は、半導体チップ上に感光性を有する絶縁膜を形成した後に、露光とエッチングとを順次行ってすることとしてもよい。

【0029】この方法によれば、感光性を有する絶縁膜を直接露光した後にエッチングして、絶縁層を形成することができる。

【0030】請求項12に記載されているように、請求項8～10のいずれか1つの半導体装置の製造方法において、絶縁層を形成する工程は、半導体チップ上に絶縁膜を形成し、該絶縁膜の上にレジスト膜を形成し、該レジスト膜をパターニングしてエッチングレジストを形成した後にエッチングを行って絶縁層を形成することとしてもよい。

【0031】この方法によれば、絶縁膜の上に形成したエッチングレジストを用いて、絶縁層を形成することができる。

【0032】請求項13に記載されているように、請求項8～10のいずれか1つの半導体装置の製造方法において、絶縁層を形成する工程は、半導体チップ上に絶縁膜を形成した後に、レーザー又はプラズマを用いて絶縁膜をパターニングして絶縁層を形成することとしてもよい。

【0033】この方法によれば、絶縁膜を直接パターニ

(5)

7

ングして、絶縁層を形成することができる。

#### 【0034】

【発明の実施の形態】（第1の実施形態）以下、本発明の第1の実施形態について、図1を参照しながら説明する。図1（a）は本実施形態に係る半導体装置のソルダーレジストのない状態を示す平面図であり、図1（b）は図1（a）のソルダーレジストのある状態を示すI-I線における断面図である。図1（a）、（b）において、10は例えばシリコンからなる半導体ウェハの一部が分割されてなり、かつトランジスタ等の半導体素子からなる半導体集積回路を内蔵する、四角形状の半導体チップである。半導体チップ10の主面において、辺部の近傍に複数の電極11が配列されている。

【0035】各電極11の少なくとも一部を覆うように、かつ、各電極11が近接する辺部の反対側、つまり半導体チップ10上で内側に向かって横方向に金属からなる第1の配線20Aが設けられている。少なくとも電極11上における第1の配線20Aを露出させ、かつ、該第1の配線20Aの一部と半導体チップ10の主面とを覆うように、低弾性率を有する絶縁材料からなる絶縁層30が設けられている。絶縁層30の端部は、第1の配線20Aが設けられた半導体チップ10の主面に対して、傾斜したくさび状の断面形状を有する。そして、第1の配線20Aの少なくとも一部と絶縁層30の上には、金属からなる第2の配線21が設けられている。つまり、第2の配線21は、絶縁層30の端部が有するくさび状の断面形状の斜面上にわたって、かつ絶縁層30の平坦部の上に形成されている。

【0036】絶縁層30の平坦部の上に形成され第2の配線21につながるランド22を露出させて、ソルダーレジスト40が設けられている。ランド22は、半導体チップ10と外部機器との間で信号を入出力するための外部電極端子として機能する。そして、ランド22の上には、突起状電極である金属ボール50が設けられている。すなわち、ソルダーレジスト40の開口部に露出するランド22に金属ボール50が接合された構造になっている。

【0037】以上説明したように、本実施形態の半導体装置によれば、低弾性率を有する絶縁層30の上に形成されたランド22が、絶縁層30の平坦部と斜面と半導体チップ10の主面との上にわたって形成された第2の配線21と、該主面上に形成された第1の配線20Aとを介して、電極11に接続されている。したがって、従来の配線回路シートの部分リードを用いた半導体装置と比較して、絶縁層30の斜面上において第1の配線20Aを微細に形成できるので、配線の微細加工に適し、かつ多ピン化に対応できる、製造コストの安価な半導体装置が実現される。

【0038】また、本実施形態の半導体装置は、第2の配線21とランド22とが、低弾性率を有する絶縁層3

8

0の上に形成される。したがって、外部機器の基板に半導体装置を実装後に、半導体装置と基板との間に生ずる熱応力が絶縁層30によって吸収され、その結果金属ボール50に印加される熱応力が緩和されるので、高い信頼性を有する半導体装置が実現される。

【0039】また、電極11に接続された第1の配線20Aの一部を被覆して絶縁層30が設けられるので、絶縁層の上にある外部電極端子に押圧力が加わった場合等において電極11に印加される応力が第1の配線20Aと絶縁層30とにより緩和され、この点からも高い信頼性を有する半導体装置が実現される。

【0040】本実施形態に係る半導体装置の製造方法について、図1（a）、（b）を参照しながら説明する。

【0041】まず、電極11を有する半導体チップ10の主面上に、蒸着又は無電解めっきによって金属層を形成する。

【0042】次に、金属層の上にレジストを塗布し、電極11を覆い、かつ半導体チップ10の主面において内側へ延びるようにしてレジストをパターンニングをした後に、エッチングを行う。つまり、電極11を覆い、かつ半導体チップ10の主面において内側へ延びるようにして、金属からなる第1の配線20Aを形成する。

【0043】次に、第1の配線20Aが形成された半導体チップ10の主面の全面にわたって絶縁性と低弾性率を有する感光性材料を塗布した後に、乾燥と露光と現像とを順次行う。このことによって、少なくとも電極11上における第1の配線20Aを開口した絶縁層30を形成する。この場合において、例えば露光で散乱光を使用して、開口部における絶縁層30の断面形状を、第1の配線20Aに対して垂直ではなくテーパ状にして形成する。絶縁層30を形成するための感光性材料としては、例えばポリイミド、エポキシ等のような絶縁性を有するポリマーであればよい。

【0044】次に、半導体チップ10の主面の全面において、無電解めっき法、真空蒸着法、スパッタリング法、又はCVD法によって金属薄膜層を形成する。例えば、無電解めっき法を用いてCuからなる金属薄膜層を形成する。

【0045】次に、金属薄膜層が形成された半導体チップ10の主面の全面にわたって感光性レジストを塗布して、露光によって所定のパターン部以外のレジストを硬化させた後に、該パターン部のレジストを除去する。

【0046】次に、電解めっきを使用して、前記パターン部に例えばCuからなる大きい膜厚を有する金属層を形成し、レジストを溶解して除去し、その後形成された金属層に対して無電解Niめっきと無電解Auめっきとを順次行う。

【0047】次に、エッチング液に浸漬して、金属薄膜層のみからなる部分を溶かし、かつ大きい膜厚を有する金属層を残すことによって、所定のパターンを有する第



(6)

9

2の配線21とランド22とを同時に形成する。

【0048】なお、半導体チップ10の主面の全面にわたって金属膜を堆積させ、その上にレジストを塗布し、公知のフォトリソグラフィ技術を使用して所定のパターン部の上にエッチングマスク用レジストを形成し、このレジストをマスクとして金属層をエッチングすることによって、第2の配線21とランド22とを同時に形成してもよい。

【0049】次に、第1の配線20Aと絶縁層30と第2の配線21とランド22とが形成された半導体チップ10の主面の全面にわたって感光性ソルダーレジストを塗布した後に、フォトリソグラフィ技術を使用して、少なくともランド22を露出させてソルダーレジスト40を形成する。ソルダーレジスト40によって、ランド22以外の配線である、第1の配線20Aと第2の配線21とが、後工程において溶融したハンダから保護される。

【0050】次に、ハンダ、Cu、Ni等からなる、又はハンダめっきされた金属からなる金属ボール50をランド22の上に載置した後に、金属ボール50とランド22とを溶融接合する。以上の工程によって、本実施形態に係る半導体装置を得ることができる。

【0051】本実施形態の半導体装置の製造方法によれば、半導体チップ10の主面において、電極11を開口した部分の絶縁層30の断面形状をテーパ状に形成する。このことによって、絶縁層30の斜面上にわたって第2の配線21を微細に形成しやすく、かつ第2の配線21が断線しにくい構造を構成することができる。

【0052】(第2の実施形態)以下、本発明の第2の実施形態について、図2を参照しながら説明する。図2(a)は本実施形態に係る半導体装置のソルダーレジストのない状態を示す平面図であり、図2(b)は図2(a)のソルダーレジストのある状態を示すII-II線における断面図である。図2(a)、(b)において、第1の実施形態と同一の構成要素には、図1(a)、(b)における符号と同一の符号を付して、適宜その説明を省略する。

【0053】本実施形態においては、各電極11の少なくとも一部を覆うように、かつ、各電極11が近接する辺部の反対側、つまり半導体チップ10の内側に向かって第1の実施形態におけるよりも内側へ延びるようにして、金属からなる第1の配線20Bが設けられている。そして、半導体チップ10上には、電極11上における第1の配線20Bを露出させ、かつ、第1の配線20Bが露出された領域よりも内側を覆うように、絶縁性と低弾性率とを有する絶縁材料からなる絶縁層30が設けられている。つまり、半導体チップ10の内側へ延びた第1の配線20Bの端部は、絶縁層30が有する平坦部の下に設けられている。そして、第1の配線20Bの端部上の絶縁層30には第1の配線20Bに到達す

10

る貫通穴が形成されており、この貫通穴に例えば印刷法によってAgペーストやCuペースト等からなる導電体が埋め込まれて第2の配線21Bが形成されている。

【0054】絶縁層30の平坦部において、第2の配線21Bが露出している上端部はランド22を構成する。また、半導体チップ10の主面の全体を覆うように、かつランド22を露出させてソルダーレジスト40が設けられている。ランド22は、半導体チップ10と外部機器との間で信号を入出力するための外部電極端子として機能する。すなわち、第2の配線21Bにより、外部電極端子であるランド22と第1の配線20Bとが接続されている。

【0055】ランド22の上には、突起状電極である金属ボール50が設けられている。すなわち、ソルダーレジスト40の開口部に露出するランド22に金属ボール50が接合された構造になっている。

【0056】以上説明したように、本実施形態の半導体装置によれば、低弾性率を有する絶縁層30の貫通穴に設けられた第2の配線21Bの上端部がランド22を構成し、ランド22上には金属ボール50が形成される。第2の配線21Bは、絶縁層30の下に設けられた第1の配線20Bを介して、半導体チップ10の電極11に接続されている。したがって、従来の配線回路シートの部分リードを用いた半導体装置に比較して、半導体チップ10の上において第1の配線20Bを微細に形成できるので、配線の微細加工に適し、かつ多ピン化に対応できる、製造コストの安価な半導体装置が実現される。

【0057】また、外部機器の基板に半導体装置を実装後に、半導体装置と基板との間に生ずる熱応力が絶縁層30によって吸収され、その結果金属ボール50に印加される熱応力が緩和されるので、高い信頼性を有する半導体装置が実現される。

【0058】また、電極11に接続された第1の配線20Bの一部を被覆して絶縁層30が設けられるので、絶縁層の上にある外部電極端子に押圧力が加わった場合等において、電極11に印加される応力が第1の配線20Bと絶縁層30とにより緩和され、高い信頼性を有する半導体装置が実現される。

【0059】また、第2の配線の上端部を外部電極端子とすることにより、外部電極端子に加えられた押圧力が第2の配線から直下方に作用して電極に加わる応力が緩和されるので、この点からも高い信頼性を有する半導体装置が実現される。

【0060】また、絶縁層30の下に第1の配線20Bを形成することによって、絶縁層30の端部における寸法や形状の精度を緩和できるので、半導体装置の製造歩留りを向上できる。

【0061】本実施形態に係る半導体装置の製造方法について、図2(a)、(b)を参照しながら説明する。

【0062】まず、第1の実施形態と同様の方法によ

(7)

11

て、金属からなる第1の配線20Bを形成する。この場合において、第1の実施形態におけるよりもいっそう半導体チップ10の内側へ延びるようにして、第1の配線20Bを形成する。

【0063】次に、第1の配線20Bが形成された半導体チップ10の主面の全面にわたって絶縁性と低弾性とを有する感光性材料を塗布した後に、乾燥と露光と現像とを順次行って絶縁層30を形成する。絶縁層30を形成する際に、第1の配線20Bの電極11上の部分を開口し、かつ絶縁層30の下における第1の配線20Bの端部に到達するように貫通穴を形成する。第1の実施形態と同様に、開口部における絶縁層30の断面形状を第1の配線20Bに対してテーパ状にして形成する。絶縁層30を形成するための感光性材料としては、例えばポリイミド、エポキシ等のような絶縁性を有するポリマーであればよい。

【0064】次に、それぞれ第1の実施形態と同様の方法により、半導体チップ10の主面の全面においてCuからなる金属薄膜層を形成し、該金属薄膜層が形成された半導体チップ10の主面の全面にわたって感光性レジストを塗布して、露光により絶縁層30における貫通穴の上以外のレジストを硬化させた後に、貫通穴の上のレジストを除去する。つまり、絶縁層30の貫通穴において、レジストを残留させず、形成された金属薄膜層を露出させた状態にする。

【0065】次に、それぞれ第1の実施形態と同様の方法により、貫通穴における露出した金属薄膜層の上に例えばCuからなる大きい膜厚を有する金属層を形成し、レジストを溶融して除去し、その後に無電解Niめっきと無電解Auめっきとを順次行う。このことによって、貫通穴が埋められるように金属層を形成し、絶縁層30において露出した金属層の上端面に対してもNiとAuとを順次無電解めっきする。

【0066】次に、エッチング液に浸漬して、金属薄膜層のみからなる部分を溶かし、大きい膜厚を有する金属層を残すことによって、絶縁層30における貫通穴に金属層からなる第2の配線21Bを形成する。したがって、第2の配線21Bを、第1の配線20Bを介して電極11に接続することができる。絶縁層30の表面における第2の配線21Bの露出部、つまり第2の配線21Bの上端部は、ランド22として機能する。

【0067】次に、第1の実施形態と同様の方法によって、少なくともランド22を露出させてソルダーレジスト40を形成する。ソルダーレジスト40によって、ランド22以外の配線である第1の配線20Bが、後工程において溶融したハンダから保護される。

【0068】次に、ランド22の上に金属ボール50を載置した後に、金属ボール50とランド22とを溶融接合する。以上の工程によって、本実施形態に係る半導体装置を得ることができる。

12

【0069】本実施形態の半導体装置の製造方法によれば、半導体チップ10の上において第1の配線20Bを形成するので、配線の微細加工に適し、かつ断線しにくい構造を有する半導体装置を製造できる。

【0070】また、絶縁層30の下に第1の配線20Bを形成することによって、配線の断線防止を目的とした絶縁層30の端部における寸法や形状の精度管理を緩和できるので、高い製造歩留りで半導体装置を製造できる。

10 【0071】なお、以上説明した各実施形態においては、絶縁層30を形成するために、絶縁性と低弾性とを有する感光性材料を塗布した。これに限らず、それぞれ予めフィルム状に形成された、低弾性と感光性とを有する絶縁材料を使用してもよい。この場合には、低弾性と感光性とを有するフィルム状の絶縁材料を半導体チップ10の主面上に貼り合わせた後に露光、現像して第1の配線20A、20Bを露出させる。

20 【0072】また、散乱光を用いて絶縁層30の開口部における断面形状をテーパ状に形成した。これに代えて、平行光を用いて露光し、現像後の熱処理における温度プロファイルを制御する等して、絶縁層30の開口部における断面形状をテーパ状に形成してもよい。

30 【0073】また、感光性のない絶縁材料も使用できる。この場合には、半導体チップ10の主面において形成された感光性のない絶縁材料を、レーザーやプラズマ等の機械的加工によって直接パターニングする。あるいは、半導体チップ10の主面において形成された感光性のない絶縁材料の上にエッチングレジストを形成し、該エッチングレジストをパターニングした後にエッチング等の化学的加工を行う。これらの方法によって、第1の配線20A、20Bを露出させる。

【0074】更に、半導体チップ10の主面上の外側に電極11を、内側の絶縁層30にランド22と金属ボール50とをそれぞれ形成したが、これに代えて半導体チップ10の主面上の内側、例えば中央部付近に電極11を形成し、電極11を開口して絶縁層30を形成し、外側の絶縁層30に貫通穴、ランド22及び金属ボール50を形成してもよい。

【0075】

40 【発明の効果】請求項1～7の発明によれば、第2の配線を介して電極に加わる応力が第1の配線と絶縁層とにより緩和され、かつ実装後に外部電極端子に加わる応力が絶縁層により緩和されるので、半導体装置の信頼性が向上する。また、絶縁層上に外部電極端子が微細に形成されるので、微細配線が可能になる。

【0076】請求項8～13の発明によれば、請求項1～7の構造を容易に実現できる。

【図面の簡単な説明】

50 【図1】(a)は本発明の第1の実施形態に係る半導体装置のソルダーレジストのない状態を示す平面図であ

(8)

13

り、(b)は(a)のソルダーレジストのある状態を示すI-I線における断面図である。

【図2】(a)は本発明の第2の実施形態に係る半導体装置のソルダーレジストのない状態を示す平面図であり、(b)は(a)のソルダーレジストのある状態を示すII-II線における断面図である。

【図3】従来の半導体装置を示す断面図である。

【符号の説明】

10 半導体チップ

11 電極

20A, 20B 第1の配線

21A, 21B 第2の配線

22 ランド(外部電極端子)

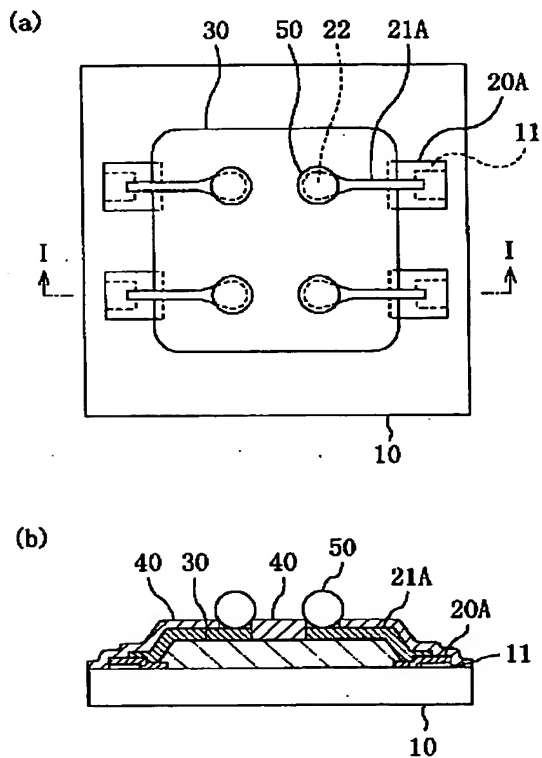
30 絶縁層

40 ソルダーレジスト(保護膜)

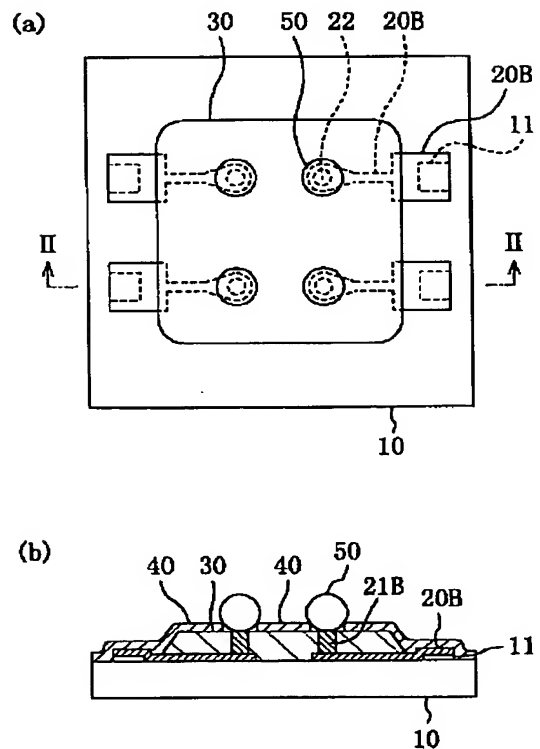
50 金属ボール

14

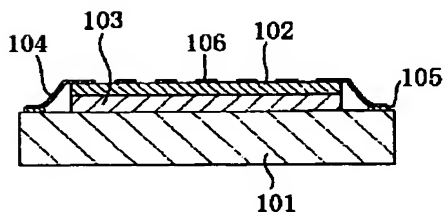
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 隈川 隆博  
大阪府高槻市幸町1番1号 松下電子工業  
株式会社内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**